

ハードウェア自動設計ツール Veltronix Accelerate

超高速

Veltronix Accelerate

ハードウェア自動設計ツール

1. 合成可能なRTLコードを生成
2. ディターミニスティックな(確定的) タイミングを自動で設計
3. 並列処理が可能な演算を自動的に探索

Floating Point Toolbox

浮動小数点ハードウェアサポートツールボックス

1. 単精度と倍精度浮動小数点ソフトウェアをサポート

Simulation and Verification Toolbox

HDL検証/シミュレーションツールボックス

1. ソフトウェアと同じ速度で実行する
ハードウェアモデルを生成

Veltronix Accelerateはリアルタイム制御ソフトウェアをベースにハードウェアアクセラレータを自動設計するツールです。Veltronix Accelerateは、制御ロジックを自動的に最適化し、並列処理が可能な演算を巧みに探し出すことで、実行時間の短縮とハードウェアリソースをできる限り縮小した、合成可能なRTLコードを生成します。

```

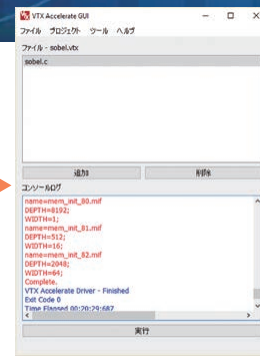
#include <stdint.h>
#include <stdlib.h>

#include "sobel.h"

uint8_t in_image[1][XDIM][YDIM];
uint8_t out_image[1][YDIM][XDIM];
int8_t in_kernel[3][3];
int8_t in_kernel2[3][3];
uint32_t sum;
uint32_t temp[1];

void calc(void) {
    int i,j,k,y;
    uint8_t * in = in_image[buffer_num][0][0];
    uint8_t * out = out_image[buffer_num][0][0];
    for (y=0; y<YDIM; y++) {
        for (x=0; x<XDIM; x++) {
            int16_t sumx = 0;
            int16_t sumy = 0;
            for (i=0; i<3; i++) {
                for (j=0; j<3; j++) {
                    sumx += (int16_t)in[(y+i)*XDIM+x] * (int8_t)in_kernel[i][j];
                    sumy += (int16_t)in[(y+i)*XDIM+x] * (int8_t)in_kernel2[i][j];
                }
            }
            sum = (abs(sumx) + abs(sumy)) >> 1;
            out[XDIM*x + y] = (uint8_t)sum;
        }
    }
}
    
```

Cソースコード

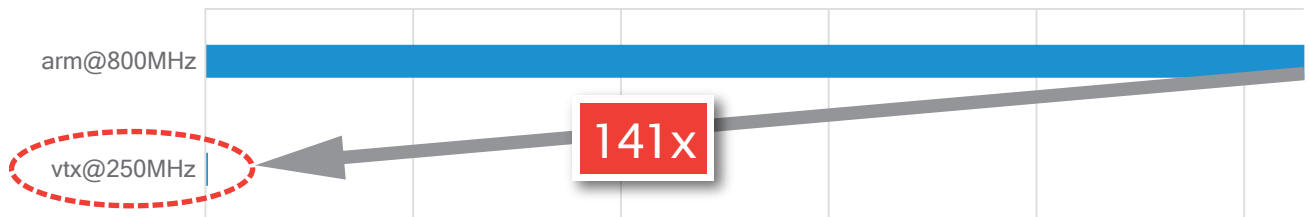


合成可能なRTLコード

```

module top (
    input clk,
    input reset,
    input rst_n,
    input rst_en,
    input rst_ack,
    input rst_delay,
    input rst_delay_time,
    input rst_delay_div,
    input rst_delay_div_time,
    input rst_delay_div_time_div,
    output complete,
    output [10:0] rst_data
);
    
```

Veltronix Accelerateを使用した場合のソフトウェアの実行時間

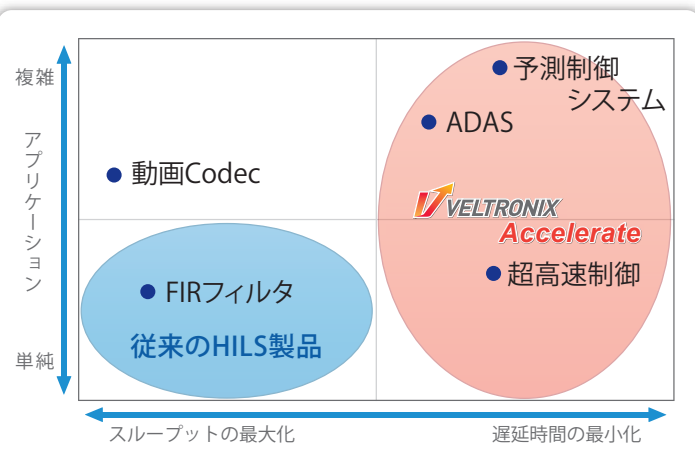


ハードウェア自動設計ツール Veltronix Accelerate

特長

- ・ Cソースコードから合成可能なHDL (RTL) を生成
- ・ 手動では困難なHDL設計作業を自動で実施し、設計時間を大幅に短縮
- ・ 高度な最適化アルゴリズムで、ユーザのアプリケーションから効率的かつ高速なHDLを生成
- ・ 並列処理が可能な演算を自動的に探索
- ・ リソース再使用でハードウェア使用量を削減
- ・ デターミニスティック（確定的）なタイミングのあるHDLを生成
- ・ 固定小数点および浮動小数点の計算に対応

Accelerate の利用に適しているアプリケーション

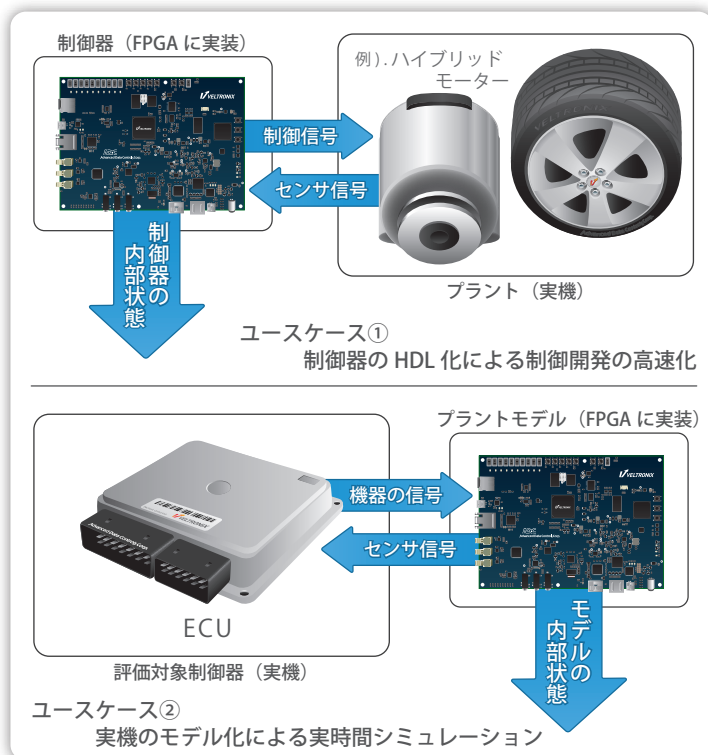
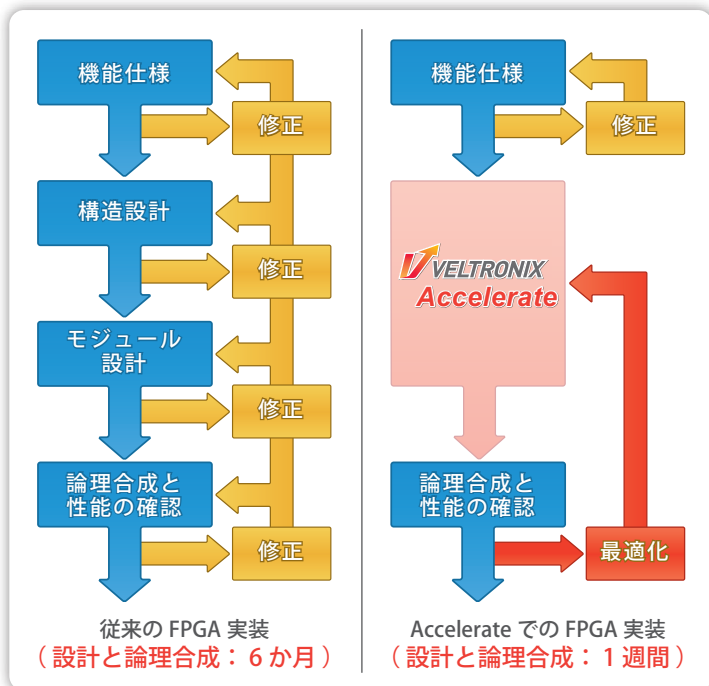


Accelerateを用いたFPGA実装プロセス

1. アプリケーションのソースコード（Cコード）を用意
2. Accelerate設定とHDL化対象Cファイルを指定
3. Accelerateを実行してHDLを生成
(GUIまたはコマンドラインを通じて)
4. 生成したHDLを論理合成し、性能を確認
(最大クロック周波数、FPGA利用率など)

対象ユースケースの例

- ・ 制御開発：制御器実装の高速化 ①
- ・ 実時間シミュレーション：高速HDLの生成 ②
- ・ ネットワーク：高頻度処理の高速化
- ・ 画像処理：スループットの高速化



ADAC株式会社 アドバンスドデータコントロールズ

本社 〒101-0045 東京都千代田区神田鍛冶町3-4 oak神田鍛冶町
TEL:03 (3251) 3170 FAX:03 (3251) 3167

名古屋テクニカルセンタ 〒460-0003 愛知県名古屋市中区錦1-11-11 名古屋インターシティ
TEL:052 (231) 9980 FAX:052 (231) 0035

大阪テクニカルセンタ 〒530-0003 大阪府大阪市北区堂島1-6-20 堂島アバンザ
TEL:06 (6347) 7780 FAX:06 (6347) 7712

URL : www.adac.co.jp E-mail : sales@adac.co.jp